

CLIPPEDIMAGE= JP404116929A

PAT-NO: JP404116929A

DOCUMENT-IDENTIFIER: JP 04116929 A

TITLE: MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

PUBN-DATE: April 17, 1992

INVENTOR-INFORMATION:

NAME

IWAMATSU, SEIICHI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP02237335

APPL-DATE: September 7, 1990

INT-CL (IPC): H01L021/306;H01L021/02 ;H01L021/304
;H01L021/308 ;H01L021/336
;H01L029/784

US-CL-CURRENT: 438/FOR.485

ABSTRACT:

PURPOSE: To provide a thin-film semiconductor device with a 1-10 μ m thick Si

substrate by grinding the Si substrate, where a semiconductor device is made on a boron-diffused buried layer from the other main surface, and removing it by etching in aqueous KOH solution with the boron-diffused layer as a stopper.

CONSTITUTION: By forming a semiconductor device on the Si film 3 formed on the boron-diffused buried layer 2 on one main face of an Si substrate 1, and grinding and removing the substrate from the other main face by etching using the aqueous KOH solution with the layer 2 as a stopper, a

film semiconductor
where the thickness of the Si substrate is below $10\mu\text{m}$
and at approximately
 $1\mu\text{m}$ can be made.

COPYRIGHT: (C)1992, JPO&Japio

	Type	Hits	Search Text
1	IS&R	472	(438/977).CCLS.
2	BRS	1538802	lapping or polish\$3 or grind\$3 or CMP or thin or thinning
3	BRS	391	((438/977).CCLS.) and (lapping or polish\$3 or grind\$3 or CMP or thin or thinning)
4	IS&R	316	(438/690).CCLS.
5	IS&R	1397	(438/692).CCLS.
6	BRS	278	((438/690).CCLS.) and (lapping or polish\$3 or grind\$3 or CMP or thin or thinning)
7	BRS	1369	((438/692).CCLS.) and (lapping or polish\$3 or grind\$3 or CMP or thin or thinning)
8	BRS	7	((438/692).CCLS.) and (lapping or polish\$3 or grind\$3 or CMP or thin or thinning)) and (diffused adj layer)
9	BRS	0	((438/692).CCLS.) and (lapping or polish\$3 or grind\$3 or CMP or thin or thinning)) and IGBT
10	IS&R	122	(438/959).CCLS.
11	IS&R	113	("438/for.485.ccls.")).CCLS.
12	BRS	2296	(lapping or polish\$3 or grind\$3 or CMP) with (thickness\$3) with (device\$3 or circuit\$3)
13	BRS	30	((lapping or polish\$3 or grind\$3 or CMP) with (thickness\$3) with (device\$3 or circuit\$3)) and IGBT

	DBs	Time Stamp
1	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 13:33
2	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 13:34
3	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 14:42
4	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 14:43
5	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 14:43
6	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:22
7	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:22
8	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:24
9	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:24
10	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:24
11	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:52
12	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:57
13	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2003/03/22 15:57

⑫ 公開特許公報(A) 平4-116929

⑤ Int. Cl.⁵H 01 L 21/306
21/02
21/304
21/308
21/336
29/784

識別記号

3 3 1

庁内整理番号

B 7342-4M
B 8518-4M
B 8831-4M
B 7342-4M

④ 公開 平成4年(1992)4月17日

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全2頁)

⑥ 発明の名称 薄膜半導体装置の製法

⑦ 特 願 平2-237335

⑧ 出 願 平2(1990)9月7日

⑨ 発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑩ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑪ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

にこの表面研削 研磨して用いる事はあった。

1. 発明の名称

薄膜半導体装置の製法

(発明が解決しようとする課題)

しかし、上記従来技術によるとS1膜厚を10
0 μm以下に薄型化出来ないと言う課題があった。

2. 特許請求の範囲

S1基板の一主面のボロン拡散抵抗層上に形成されたS1膜に半導体装置が形成され、前記S1基板の他の主面から研削及び前記ボロン拡散抵抗層をストッパーにしてKOH水溶液によるエッチング除去を行なう事を特徴とする薄膜半導体装置の製法。

本発明は、かかる従来技術の課題を解決しS1薄膜半導体装置のS1膜厚を10 μm以下、1 μm程度にでも薄型化出来る製法を提供する事を目的とする。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜半導体装置の製法に関する。

(課題を解決するための手段)

上記課題を解決するために本発明は薄膜半導体装置の製法に関し、S1基板の一主面のボロン拡散抵抗層上に形成されたS1膜に半導体装置を形成し、前記S1基板の他の主面から研削及び前記ボロン拡散抵抗層をストッパーにしたKOH水溶液によるエッチング除去を行なう手段を取る事を基本とする。

(従来技術)

従来、S1半導体装置はS1ウエーハの厚さ約625 μm程度を400 μm乃至100 μm程度

〔実施例〕

以下、実施例により本発明を詳述する。

第1図は本発明の一実施例を示す薄膜半導体装置の工程順の断面図である。すなわち、(a) S₁基板1の表面に高エネルギー・イオン打込み法や、拡散埋込み層形成後のエピタキシャル成長あるいはボロン拡散層2をエピタキシャル法で形成後S₁膜3もエピタキシャル法で形成する等して、ボロン拡散層2をS₁ウェーハ全面又は一部分に形成して、表面S₁膜3にはフィールドS₁O₂膜4、ゲートS₁O₂膜5、ゲート電極6、ソース7、ドレイン8、層間S₁O₂膜9、Al電極10等から成る半導体装置を形成し、(b) S₁基板1の裏面からまず荒削りの研削を行ない、S₁膜厚を50μm～100μm程度に迄研削、研磨等した後、KOH水溶液により、裏面のみをエッチングすると、ボロン拡散層2で、エッチングが停止し、薄膜半導体装置が形成できる。もし、ボロン拡散層2を部分的に形成しておく、ボロン拡散層2の存在する部分のみ、S₁薄膜が残存

し、その他の部分はS₁が全てエッチングされるので、裏面からのアイソレーション(素子分離)やスクライプが可能となる。更に半導体チップとしてスクライプ後、表面実装を行ない、チップ周辺をエポキシ樹脂等で固定後、裏面研削し、次でチップ形状のノズルを当ててKOH水溶液でボロン拡散層2迄ジェット溶液流によるエッチングを行なう事もできる。

〔発明の効果〕

本発明によりS₁膜厚が10μm以下、1μm程度の薄膜半導体装置が提供できる効果がある。

4. 図面の簡単な説明

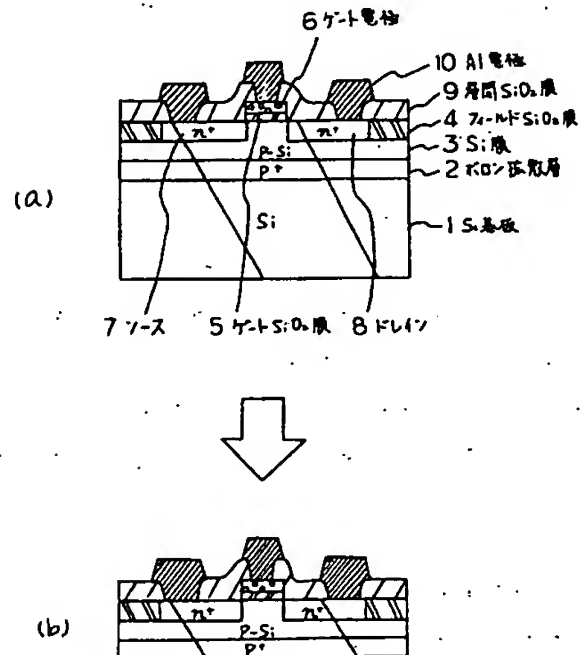
第1図は本発明の実施例を示す薄膜半導体装置の製造工程順の断面図である。

- 1 …… S₁基板
- 2 …… ボロン拡散層
- 3 …… S₁膜
- 4 …… フィールドS₁O₂膜

- 5 …… ゲートS₁O₂膜
- 6 …… ゲート電極
- 7 …… ソース
- 8 …… ドレイン
- 9 …… 層間S₁O₂膜
- 10 …… Al電極

以上

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木喜三郎(他1名)



第1図